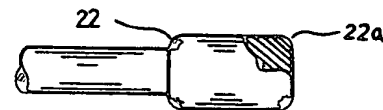


**(54) GLASS MOLD TYPE SEMICONDUCTOR DEVICE**

(11) 55-86142 (A) (43) 28.6.1980 (19) JP  
 (21) Appl. No. 53-158591 (22) 25.12.1978  
 (71) HITACHI SEISAKUSHO K.K. (72) KENSUKE SUZUKI  
 (51) Int. Cl.<sup>3</sup> H01L23/30, H01L23/48

**PURPOSE:** To reduce void generation by chamfering to a required extent the shoulders of an electrode on the fixing side of a semiconductor pellet.

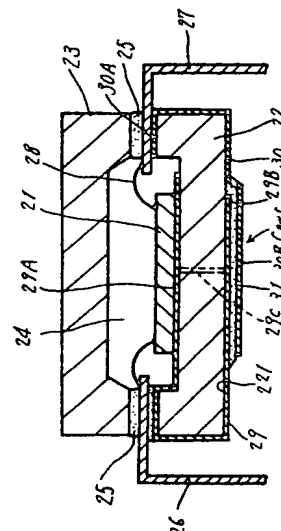
**CONSTITUTION:** A jig used for adhering a semiconductor pellet and an electrode has an inside diameter larger than the maximum diameter of the two. Therefore, a step is formed between the electrode and the pellet when assembled. If corner radii 22a are made on the shoulders of an electrode 22, void generation is reduced at the time of glass sealing, and if radii larger than about a half of the step are made, void generation can be reduced extremely and the reliability of the device is improved.

**(54) SEMICONDUCTOR DEVICE**

(11) 55-86144 (A) (43) 28.6.1980 (19) JP  
 (21) Appl. No. 53-158538 (22) 25.12.1978  
 (71) CHO LSI GIJUTSU KENKYU KUMIAI  
 (72) HIROYUKI YOSHIMOTO(1)  
 (51) Int. Cl.<sup>3</sup> H01L27/00

**PURPOSE:** To suppress the fluctuation of substrate potential and stabilize operations in an IC substrate by connecting a smoothing capacitor between a part on the substrate potential and the earth lead of the IC substrate.

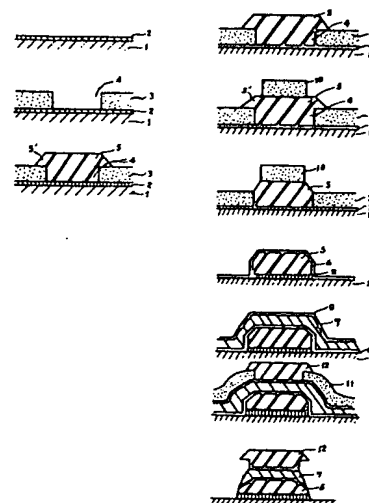
**CONSTITUTION:** Over a ceramic base 22 with a concave part on its surface, a metal layer 29 is coated from the concave part via one of the convex parts and a side face to the center of the bottom face, and also from the other convex part via a side face to the center of the bottom face, a metal layer 30 is coated, and the metal layers 29 and 30 are insulated with each other on the bottom face by an insulating layer 31. Next, in the concave part of the base 22, an IC substrate 21 is fixed, and electrodes provided on it are connected with a lead 26 and an earth lead 27 penetrating seal glass 25 provided on the convex parts by bonding wires 28. Next, on the base 22, a ceramic cap 23 with a concave part on the lower face is placed via the glass 25 and a space 24 is formed over the substrate 21. By so doing, a capacitor C<sub>ext</sub> is formed between the end 29B of the metal layer 29 and the end 30B of the layer 30, and the fluctuation of the substrate potential is reduced.

**(54) MANUFACTURE OF CAPACITOR**

(11) 55-86145 (A) (43) 28.6.1980 (19) JP  
 (21) Appl. No. 53-161641 (22) 23.12.1978  
 (71) FUJITSU K.K. (72) OSAMU AKANUMA(2)  
 (51) Int. Cl.<sup>3</sup> H01L27/04, H01L29/94

**PURPOSE:** To plate securely an upper electrode formed over a lower electrode by removing an overhang part formed around the lower electrode when manufacturing a capacitor.

**CONSTITUTION:** On a semiconductor substrate 1, a multi-layer metallizing layer 2 consisting of chromium, platinum and gold from the bottom is coated, and on the layer, a resist layer 3 with a hole 4 is provided, and making the layer 2 negative, the layer is plated selectively and lower electrode 5 of gold thicker than the layer 3 is formed. At this time, on the rim of the hole 4, an unnecessary brim 5' is formed. Therefore, on the layer 5, a resist layer 10 of a size corresponding to the hole 4 is formed again and the brim 5' is removed by etching with the mixed liquid of potassium iodide. After that, the layer 3 is removed, and on the whole surface including the layer 5 whose side face is exposed too, a chromium layer 6 is coated, then the layer surface is covered with a dielectric silica film 7 and a Cr-Pt-Au metallizing layer 8, and providing a resist layer 11 on both sides, an upper electrode 12 is formed by plating using the layer 8 as a negative electrode. Next, the layer 11 and the unnecessary parts of the layers 7 and 8 are removed.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭55—86144

⑪ Int. Cl.<sup>3</sup>  
H 01 L 27/00

識別記号

庁内整理番号  
6426—5F

⑬ 公開 昭和55年(1980)6月28日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 半導体装置

⑯ 特 願 昭53—158538

⑰ 出 願 昭53(1978)12月25日

⑱ 発 明 者 吉本広行  
東京都品川区戸越5丁目11番地

⑲ 発 明 者 佐藤克之

小平市学園西町1丁目17番地

⑳ 出 願 人 超エル・エス・アイ技術研究組  
合  
川崎市高津区宮崎4丁目1番1  
号

㉑ 代 理 人 弁理士 薄田利幸

明 細 書  
発明の名称 半導体装置  
特許請求の範囲

1. 基板電位を内部で発生し得るようにしたI O基板と、このI O基板を収納して気密封止したパッケージと、このパッケージを貫通して前記I O基板に電気的に接続した複数のリードと、前記I O基板の基板電位にある部分と前記複数のリードのうちの接地用リードとの間に接続した平滑コンデンサとを具備することを特徴とする半導体装置。

発明の詳細な説明  
本発明は基板電位を内部で発生し得るようにしたI O基板を備える半導体装置の改良に関する。  
基板電位 ( $V_{BB}$ ) 発生回路をI O基板に内蔵させることはすでに知られており、例えば第1図に示すように等価回路で表示される。第1図において、1はI O基板、11は $V_{BB}$ 発生回路、12は基板電位部分で通常サブストレイトと称される。このようなI O基板1において負荷変動が

あると、負荷変動の直流分は $V_{BB}$ 発生回路11の動作能力で吸収され、交流分はその発生源の容量 $C_a$ とI O基板1の容量 $C_s$ で分割して抑制することになる。ところがダイナミック形半導体装置ではチャージの充放電時の波形が急峻であることから、 $C_a$ 、 $C_s$ で抑えることが出来ず基板電位が大幅に変動する欠点がある。基板電位の変動は装置の機能領域のしきい値電圧 $V_{th}$ や接合容量の変動を招くので好ましくない。

本発明の目的は、基板電位の変動を抑えI O基板内の安定な動作を可能にした改良された半導体装置を提供することにある。

本発明による半導体装置の特徴とするところは、I O基板の基板電位にある部分と接地用リードとの間に平滑コンデンサを接続した点にある。即ち、第2図に示すように基板電位部分12とアース間に平滑コンデンサ $C_{ext}$ を接続したものである。このようにすることにより、チャージの急峻な充放電の変化 $\Delta V$ に伴う基板電位の変動は...

$\Delta V \frac{0d}{0d+0s}$  から  $\Delta V \frac{0d}{0d+0s+0ext}$  に減少する。従つて、回路のより安定した動作が得られる。

以下本発明半導体装置の実施例を第3図により詳細に説明する。図において、21は内部に基板電位発生回路を備えたI<sub>0</sub>基板、22及び23は組合せることによりI<sub>0</sub>基板21を収納する空間24を形成するセラミックベース及びセラミックキャップ、25はセラミックベース22とセラミックキャップ23とを気密に封着するシールガラス、26、27はシールガラス25を貫通する複数個のリード、28はI<sub>0</sub>基板21とリード26、27とを接続するボンディングワイヤ、29及び30はセラミックベース22の表面に形成された金属層で、一方の金属層29は一端29AがI<sub>0</sub>基板21の基板電位にある部分(基板のセラミックベース側)に接合し、他端29Bがセラミックベース22の外側の底面221に延び、他方の金属層30は一端30Aが接地用のリードとなる

(3)

が考えられる。

#### 図面の簡単な説明

第1図は従来の半導体装置の等価回路図、第2図は本発明の半導体装置の等価回路図、第3図は本発明の一実施例による半導体装置を示す概略断面図である。

21……I<sub>0</sub>基板、22……セラミックベース、  
23……セラミックキャップ、26、27……リ  
ード、29、30……金属層、31……絶縁層、  
0ext……平滑コンデンサ、

代理人 弁理士 海 田 利 幸

(5)

特開昭55-86144(2)

リード27に接合し、他端30Bがセラミックベース22に延びる一方の金属層29の他端29B上に絶縁層31を介して延びている。これによつて一方の金属層29の他端29B、絶縁層31及び他方の金属層30の他端30Bによつてコンデンサ0extが形成される。

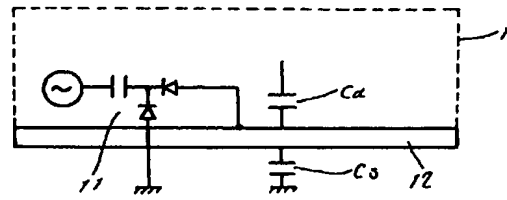
以上の構成にすれば、その等価回路が第2図に示すものと同様になることは明らかであろう。

上記実施例の構成によれば、半導体装置の形状、寸法を殆ど変更することなく基板電位変動の少ない半導体装置を得ることが出来る。

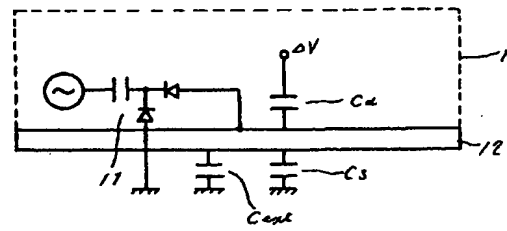
本発明は第3図に示す構成に限定されることなく本発明の思想の範囲内で種々の変更が可能である。例えば第3図において、一方の金属層29をセラミックベース22のI<sub>0</sub>基板21側の部分29Aと外側底面221側の部分29Bとに2分割し、両者をセラミックベース22を貫通する導電路290で相互接続する構成、或いはセラミックベース22に平滑コンデンサを一体に形成することなく市販のコンデンサを半田付けする構成な

(4)

第 1 図



第 2 図



第 3 図

